

**INTEGRAL SXEMALARNING ZAMONAVIY INTEGRATSIYASI: CHIPLET,
2.5D/3D VA HETEROGEN QADOQLASH TEXNOLOGIYALARINING
RIVOJLANISH TENDENSIYALARI**

Uzakov Orif Hamroyevich

*Buxoro davlat universiteti “Muhandislik texnologiyalari va qayta tiklanuvchi energiya
manbalari” kafedrasi dotsenti*

Annotatsiya: Maqolada integral sxemalarni rivojlantirishning post-Moore bosqichidagi chiplet, 2.5D, 3D va heterogen integratsiya yondashuvlari tahlil qilinadi. Monolit kristallni kattalashtirishga nisbatan kichik funksional kristallarni bitta korpusda birlashtirishning ishlab chiqarish chiqishi, funksional moslashuvchanlik va texnologik jarayonlarni aralashtirish bo'yicha afzalliklari ko'rsatilgan. Die-to-die ulanish, interposer, fan-out, through-silicon via, hybrid bonding va UCIe kabi yechimlarning vazifalari umumlashtirilgan. Shu bilan birga, issiqlik tarqalishi, quvvat yetkazib berish, signal yaxlitligi, ESD, testlash va known-good-die muammolari tizim darajasidagi asosiy cheklovlar sifatida ko'rib chiqilgan. Zamonaviy advanced packaging texnologiyalari integral sxemalarning unumdorligini faqat tranzistorni kichraytirish orqali emas, tizim integratsiyasi orqali oshirish imkonini berishi asoslangan.

Kalit so'zlar: integral sxema, chiplet, 2.5D integratsiya, 3D IC, heterogen integratsiya, advanced packaging, UCIe, hybrid bonding, interposer.

Аннотация: В статье рассмотрены chiplet, 2.5D, 3D и гетерогенная интеграция как основные направления развития интегральных схем в пост-Муровскую эпоху. Показаны преимущества объединения специализированных кристаллов в одном корпусе по сравнению с дальнейшим увеличением монолитного кристалла. Систематизированы die-to-die соединения, интерпозеры, fan-out, TSV, hybrid bonding и UCIe. Особое внимание уделено ограничениям теплового режима, распределения питания, целостности сигналов, ESD-защиты, тестирования и концепции known-good-die.

Ключевые слова: интегральная схема, chiplet, 2.5D, 3D IC, гетерогенная интеграция, корпусирование, UCIe, hybrid bonding.

Abstract: This article analyzes chiplet, 2.5D, 3D, and heterogeneous integration as major directions for integrated circuits in the post-Moore era. The advantages of combining smaller specialized dies in one package are discussed in terms of manufacturing yield, functional flexibility, and process-node mixing. Die-to-die interconnects, interposers, fan-out, through-silicon vias, hybrid bonding, and UCIe are summarized. Thermal management,

power delivery, signal integrity, ESD, testing, and known-good-die requirements are identified as major system-level constraints.

Keywords: *integrated circuit, chiplet, 2.5D integration, 3D IC, heterogeneous integration, advanced packaging, UCIe, hybrid bonding.*

KIRISH

Integral sxemalar taraqqiyotining tarixiy modeli tranzistorlarni kichraytirish va bitta kristalga ko‘proq funksiyalar joylashtirishga tayangan. Texnologik tugunlar murakkablashgani sari katta monolit kristallarning narxi, ishlab chiqarish chiqishi, quvvat zichligi va dizayn murakkabligi ortmoqda. Shu sababli tizim darajasida scaling — ya’ni bir nechta maxsus kristallarni bitta paketda ulash — muhim rivojlanish yo‘nalishiga aylandi.

Chiplet yondashuvida protsessor yadrolari, xotira interfeysi, I/O, analog, RF yoki tezlatkich bloklari turli texnologik jarayonlarda ishlab chiqarilib, yuqori zichlikdagi die-to-die bog‘lanish orqali bitta tizim sifatida ishlaydi. Bunda har bir funksiya uchun iqtisodiy va texnologik jihatdan mos tugunni tanlash mumkin.

Maqolaning maqsadi — 2D, 2.5D, 3D va chiplet integratsiyalarini qiyoslash, asosiy ulanish texnologiyalarini tizimlashtirish hamda issiqlik, signal, quvvat, test va ishonchlilik bo‘yicha ochiq muammolarni ko‘rsatish.

TADQIQOT METODOLOGIYASI

Tahlil 2024–2026-yillarda IEEE va boshqa ilmiy nashrlarda e’lon qilingan advanced packaging, heterogen integratsiya, UCIe va 3D IC bo‘yicha sharhlar asosida amalga oshirildi. Arxitekturalar interconnect zichligi, energiya/bit, issiqlik yo‘li, ishlab chiqarish chiqishi, testlash va ishonchlilik mezonlari asosida qiyoslandi.

1. MONOLIT IC DAN CHIPLETLARGA O‘TISH SABABLARI

Katta monolit kristal murakkab tizimni bitta die ichida birlashtiradi, lekin die maydoni ortganda bitta nuqsonning butun kristalga ta’siri kuchayadi va ishlab chiqarish chiqishi pasayishi mumkin. Chiplet yondashuvida kichik die’lar alohida testlanadi va known-good-die sifatida paketga yig‘iladi. Bu IP reuse va turli jarayon tugunlarini aralashtirish imkonini beradi.

Masalan, yuqori zichlikdagi raqamli mantiq eng yangi tugunda, analog I/O esa iqtisodiyroq yetuk tugunda ishlab chiqarilishi mumkin. Shu tariqa tizim narxi va rivojlantirish muddati optimallashtiriladi.

2. 2D, 2.5D VA 3D INTEGRATSIYANING QIYOSI

Arxitektura	Tuzilishi	Afzallik	Cheklov
2D SiP	Die’lar organik substratda yonma- yon	Yetuk, nisbatan arzon	Interconnect uzunroq, zichlik pastroq

“DUNYO TA’LIMI SIFATINI OSHIRISHNING ILG’OR USULLARI ILMIY JURNALI”

5-Oktyabr, 2026-yil

2.5D	Die’lar interposer/bridge orqali	Yuqori bandwidth, chipletlar qulay uchun	Interposer narxi va termik murakkablik
3D IC	Die’lar vertikal stack	Eng qisqa ulanish, yuqori zichlik	Issiqlik, test, TSV/hybrid bonding murakkabligi

Manba: zamonaviy advanced packaging sharhlari asosida muallif tomonidan tuzilgan.

2.5D yondashuvda silicon interposer yoki lokal bridge die-to-die yo‘llarni qisqartiradi. 3D integratsiyada vertikal ulanish masofasi yanada qisqaradi, biroq yuqori qatlamlardan issiqlikni chiqarish va stack ichidagi nuqsonlarni diagnostika qilish murakkablashadi.

3. DIE-TO-DIE ULASH TEXNOLOGIYALARI

Advanced packagingda flip-chip solder bump, micro-bump, thermo-compression bonding va copper/dielectric hybrid bonding asosiy ulash texnologiyalaridir. 2024-yilgi IEEE sharhida die-to-die va die-to-wafer integratsiya uchun ushbu usullarning mexanik va elektr ishonchliligi qiyoslangan.

Hybrid bonding kontakt pitchini kamaytirish va interconnect qarshiligini pasaytirish imkonini beradi. Biroq sirt tekisligi, zarracha ifloslanishi, mis oksidlanishi va hizalanish aniqligi jarayonning muhim talablaridir.

4. UCIE VA STANDARTLASHTIRILGAN CHIPLETLAR

Chiplet ekotizimining kengayishi uchun turli ishlab chiqaruvchilarning die’lari o‘zaro ishlashi kerak. Universal Chiplet Interconnect Express (UCIe) die-to-die fizik va protokol qatlamlari uchun standart interfeysni maqsad qiladi. 2025-yilgi IEEE Micro maqolasida UCIe 2D organik substrat, 2.5D interposer, fan-out va 3D integratsiya kabi bir nechta paket tuzilmalarida qo‘llanishi ko‘rsatilgan.

Standartlashtirish IP qayta ishlatilishi va modul arxitekturani osonlashtiradi, biroq link training, clocking, test access, power states va fizik kanalning signal yaxlitligi paket bilan birgalikda loyihalanishi zarur.

5. ISSIQLIK VA QUUVAT YETKAZIB BERISH MUAMMOLARI

3D stackda issiqlik manbalari vertikal joylashgani uchun yuqori qatlamdagi chipdan heatsinkgacha bo‘lgan termik qarshilik ortishi mumkin. Lokal hot-spotlar timing, leakage va qurilma umriga ta’sir qiladi. Shu sababli floorplanning termik xarita bilan birgalikda olib borilishi kerak.

Quvvat yetkazib berishda paket va die ichidagi qarshilik–induktivlik sababli IR drop va transient droop yuzaga keladi. Chiplet tizimda bir nechta quvvat domeni va yuqori tokli I/O mavjudligi package-level PDN optimallashtirishni talab qiladi.

6. SIGNAL YAXLITLIGI, ESD VA ISHONCHLILIK

Die-to-die interconnect pitch kamaygani sari crosstalk, return-path uzilishi va timing margin muammolari kuchayadi. Yuqori tezlikdagi parallel kanallarda package routing va equalization birgalikda ko‘rilishi kerak. Heterogen tizimlarda ESD himoyasini faqat har bir die ichida hal qilish qiyinlashishi mumkin; interposer darajasidagi himoya konsepsiyalari ham tadqiq qilinmoqda.

Termik sikllar materiallarning issiqlik kengayish koeffitsiyenti farqi sababli warpage va interconnect charchashini keltirib chiqarishi mumkin. Shu bois reliability bahosi elektr, termik va mexanik modellarni birlashtirishi kerak.

7. TESTLASH VA KNOWN-GOOD-DIE MUAMMOSI

Chiplet paketining iqtisodiy samaradorligi assemblydan oldin nuqsonli die'larni aniqlashga bog‘liq. Aks holda bitta nuqsonli chiplet butun qimmat paketni yaroqsiz qilishi mumkin. 2026-yildagi IEEE Design & Test sharhi pre-bond screening, post-bond test, built-in self-test va lifecycle monitoringning ahamiyatini ta’kidlaydi.

3D va yuqori zichlikdagi paketlarda ayrim interconnectlar assemblydan keyin tashqi pinlar orqali bevosita kuzatilmaydi. Shu sababli test access fabric, boundary-scan va IEEE 1838 kabi yondashuvlar tizim darajasida muhimlashadi.

8. HETEROGEN INTEGRATSIYANING AMALIY SOHALARI

Soha	Integratsiya misoli	Asosiy foyda
AI/HPC	Logic + HBM + I/O chipletlar	Yuqori bandwidth va quvvat zichligi
Mobil/IoT	RF + analog + digital + sensor	Turli texnologiyalarni bitta paketda birlashtirish
Avtomobil	Compute + safety + power interfeys	Modullik va texnologik ajratish
Energetika	Control IC + GaN/SiC power die	Boshqaruv va quvvat qismi integratsiyasi

Heterogen integratsiya elektron asboblari va integral sxemalar o‘rtasidagi chegarani ham o‘zgartirmoqda. Kelajak paketida CMOS boshqaruv, xotira, fotonika, MEMS sensor yoki WBG quvvat kristallari bir modulda birlashtirilishi mumkin.

9. ILMIY VA AMALIY ISTIQBOLLAR

So‘nggi sharhlarda advanced packaging post-Moore scalingning markaziy vositalaridan biri sifatida qaralmoqda. Kelajak rivojlanish yo‘nalishlari interconnect pitchini kamaytirish, energy-per-bitni pasaytirish, termik boshqaruvni yaxshilash, standart chiplet interfeyslarini kengaytirish va test xarajatini kamaytirishga qaratilgan.

3D IC uchun digital twin va physics-informed monitoring kabi yondashuvlar ham paydo bo‘lmoqda. Bunday tizimlar real vaqtdagi harorat, stress va aging holatini model bilan bog‘lab, paketning umrini boshqarish imkonini berishi mumkin.

XULOSA

Chiplet va heterogen integratsiya tranzistor scaling sekinlashgan sharoitda tizim unumdorligini oshirishning muhim yo'nalishiga aylandi. 2.5D va 3D arxitekturalar ulanish masofasini kamaytiradi va turli texnologik tugunlarni bitta paketda birlashtirish imkonini beradi.

UCIe kabi standartlar chiplet ekotizimini ochiq va qayta foydalaniladigan qilishga xizmat qiladi. Biroq issiqlik, quvvat yetkazib berish, signal yaxlitligi, ESD, test va known-good-die masalalari hal qiluvchi ahamiyatga ega.

Kelajakdagi integral sxemalarni baholashda faqat tranzistor soni emas, package bandwidth, energy-per-bit, termik qarshilik, testlanuvchanlik va tizim ishonchliligi kabi ko'rsatkichlar ham asosiy mezoniga aylanadi.

FOYDALANILGAN ADABIYOTLAR:

1. Jain A. et al. A Review of Die-to-Die, Die-to-Substrate and Die-to-Wafer Heterogeneous Integration. IEEE Electron Devices Reviews. 2024;2:6–31. DOI: 10.1109/EDR.2024.3501214.
2. Kim K. et al. UCIe Standard: Enhancing Die-to-Die Connectivity in Modern Packaging. IEEE Micro. 2025;45(1):26–34. DOI: 10.1109/MM.2025.3526048.
3. Electronic Chip Package and Co-Packaged Optics (CPO) Technology for Modern AI Era: A Review. Micromachines. 2025;16(4):431. DOI: 10.3390/mi16040431.
4. Heterogeneous Integration Technology Development and Challenges. 2025 4th International Symposium on Semiconductor and Electronic Technology (ISSET). DOI: 10.1109/ISSET66828.2025.11184928.
5. Testing of Chiplet-Based Packages Based on Advanced Heterogeneous Integration. IEEE Design & Test. 2026. DOI: 10.1109/MDAT.2026.3706448.
6. Challenges: ESD Protection for Heterogeneously Integrated SoICs in Advanced Packaging. Electronics. 2024;13(12):2341.
7. Interposer-Based ESD Protection: A Potential Solution for μ -Packaging Reliability of 3D Chips. Micromachines. 2025;16(4):488. DOI: 10.3390/mi16040488.
8. Toward Digital Twins in 3D IC Packaging: A Critical Review of Physics, Data, and Hybrid Architectures. Electronics. 2026;15(8):1740.