

**INTEGRAL SXEMALARDA ENERGIYA SAMARADORLIGI: CMOS
TEKNOLOGIYASI, QUVVAT YO‘QOTISHLARI VA PAST QUVVATLI
LOYIHALASH USULLARI**

Uzakov Orif Hamroyevich

*Buxoro davlat universiteti “Muhandislik texnologiyalari va qayta tiklanuvchi energiya
manbalari” kafedrası dotsenti*

Annotatsiya: *Maqolada integral sxemalarda energiya sarfining fizik manbalari va CMOS texnologiyasida past quvvatli loyihalash usullari tahlil qilinadi. Dinamik, qisqa tutashuv va sizib o‘tish quvvatlari, kuchlanish va takt chastotasining energiya sarfiga ta’siri, clock gating, power gating, dynamic voltage and frequency scaling, multi-threshold CMOS, operand isolation va quvvat domenlari kabi yondashuvlar tizimlashtirilgan. Zamonaviy mikrosxemalarda tranzistor miqyosi kichraygani sari statik sarf va issiqlik zichligi ortishi sababli energiya samaradorligini faqat tranzistor darajasida emas, arxitektura, sxema, fizik dizayn va qadoqlash darajalarida birgalikda optimallashtirish zarurligi asoslangan. Natijalar raqamli va aralash signalli integral sxemalarni energiya tejamkor loyihalash uchun amaliy mezonlar beradi.*

Kalit so‘zlar: *integral sxema, CMOS, dinamik quvvat, sizib o‘tish toki, clock gating, power gating, DVFS, past quvvatli dizayn, energiya samaradorligi.*

Аннотация: *В статье анализируются физические источники энергопотребления интегральных схем и методы маломощного проектирования в CMOS-технологии. Систематизированы динамические потери, токи утечки и сквозные токи, влияние напряжения питания и тактовой частоты, а также методы clock gating, power gating, DVFS, multi-threshold CMOS, operand isolation и разделения на домены питания. Показано, что при уменьшении размеров транзисторов рост статической мощности и тепловой плотности требует совместной оптимизации на транзисторном, схемотехническом, архитектурном и физическом уровнях.*

Ключевые слова: *интегральная схема, CMOS, динамическая мощность, ток утечки, clock gating, power gating, DVFS, маломощное проектирование.*

Abstract

This article analyzes the physical sources of power consumption in integrated circuits and major low-power design techniques in CMOS technology. Dynamic power, short-circuit power, leakage, supply-voltage and clock-frequency effects, clock gating, power gating, dynamic voltage and frequency scaling, multi-threshold CMOS, operand isolation, and power-domain partitioning are reviewed. As transistor dimensions shrink, static power and

heat density become increasingly important, requiring coordinated optimization at the device, circuit, architecture, physical-design, and package levels.

Keywords: integrated circuit, CMOS, dynamic power, leakage current, clock gating, power gating, DVFS, low-power design.

KIRISH

Integral sxemalar zamonaviy mikroprotssessorlar, mikrokontrollerlar, sensor interfeyslari, aloqa qurilmalari va quvvat boshqaruv tizimlarining asosini tashkil etadi. Hisoblash unumdorligi ortishi bilan birga energiya sarfi va issiqlik zichligi ham muhim loyiha chekloviga aylandi. Mobil va avtonom qurilmalarda bu cheklov batareya ishlash vaqtini, yuqori unumdor hisoblash tizimlarida esa sovitish va ishonchlilikni belgilaydi.

CMOS texnologiyasining asosiy afzalligi statik holatda ideal ravishda juda kichik tok iste’mol qilishidir. Amalda esa tranzistor o’lchamlari kichrayishi, threshold kuchlanishining pasayishi va qurilma sonining ko’payishi leakage komponentini sezilarli qiladi. Shu sababli zamonaviy past quvvatli dizayn ko’p darajali yondashuvni talab qiladi.

Maqolaning maqsadi — CMOS integral sxemalarda quvvat sarfining asosiy tarkiblarini tushuntirish, eng ko’p qo’llaniladigan past quvvatli usullarni qiyoslash va ularning amaliy qo’llanish chegaralarini ko’rsatish.

TADQIQOT METODOLOGIYASI

Maqola ilmiy adabiyotlar, integratsiyalangan sxemalar bo’yicha zamonaviy o’quv manbalari va 2024–2026-yillardagi IC dizayn hamda advanced packaging sharhlari asosida tayyorlandi. Tahlilda quvvatning fizik tarkiblari, vaqt–energiya kompromissi, leakage, kuchlanish domenlari, arxitektura darajasidagi faollikni kamaytirish va fizik dizayndagi issiqlik cheklovlari asosiy mezonlar sifatida qabul qilindi.

1. CMOS SXEMADA QUVVAT SARFINING ASOSIY TARKIBLARI

CMOS raqamli sxemada dinamik quvvat asosan yuk sig’imlarini zaryadlash va razryadlash hisobiga yuzaga keladi. Soddashtirilgan ifoda:

$$P_{\text{dyn}} = \alpha C_L V_{\text{DD}}^2 f \quad (1)$$

Bu yerda α — kommutatsiya faolligi, C_L — samarali yuk sig’imi, V_{DD} — ta’minot kuchlanishi, f — takt yoki kommutatsiya chastotasi. Ifodadan ko’rinadiki, kuchlanishni kamaytirish dinamik quvvatni kvadrat qonun bo’yicha pasaytiradi. Biroq V_{DD} kamayishi tranzistorning kechikishini oshirishi mumkin.

Statik quvvatning asosiy qismi leakage toklaridan keladi:

$$P_{\text{leak}} = V_{\text{DD}} I_{\text{leak}} \quad (2)$$

Kommutatsiya vaqtida nMOS va pMOS tranzistorlari qisqa vaqt bir vaqtda ochiq bo’lishi mumkin; natijada qisqa tutashuv toki paydo bo’ladi. Shunday qilib, umumiy quvvatni dinamik, qisqa tutashuv va leakage tarkiblarining yig’indisi sifatida qarash mumkin.

2. KUCHLANISH VA CHASTOTANI BOSHQARISH

“DUNYO TA'LIMI SIFATINI OSHIRISHNING ILG'OR USULLARI ILMIY JURNALI”

5-Oktyabr, 2026-yil

Dinamik quvvat tenglamasi V_{DD} va f ning bevosita rolini ko'rsatadi. Dynamic Voltage and Frequency Scaling (DVFS) hisoblash yuklamasi kamayganda kuchlanish va chastotani pasaytirib energiyani tejaydi. Biroq juda past kuchlanishda kechikish va vaqt bo'yicha xatolar ortadi; shu sababli DVFS vaqt zaxirasi, xotira va interfeys talablari bilan muvofiqlashtirilishi lozim.

Voltage island yondashuvida chip bir nechta quvvat domeniga bo'linadi. Yuqori unum talab qiluvchi blok yuqori V_{DD} da, kam faol bloklar esa pastroq kuchlanishda ishlashi mumkin. Turli domenlar orasida level shifterlar talab etiladi.

3. CLOCK GATING VA POWER GATING

Usul	Asosiy g'oya	Energetik foyda	Cheklov
Clock gating	Keraksiz takt impulslarini bloklaydi	Dinamik quvvatni kamaytiradi	Clock tree va timing nazorati zarur
Power gating	Uyqudagi blokni ta'minotdan uzadi	Leakage quvvatini keskin kamaytiradi	Wake-up kechikishi, rush current
DVFS	V va f ni yuklamaga moslaydi	Dinamik energiyani kamaytiradi	Timing va regulator murakkabligi
Multi-Vt CMOS	Turli threshold tranzistorlari	Tezlik-leakage muvozanati	Kutubxona va timing murakkabligi
Operand isolation	Keraksiz ma'lumot kommutatsiyasini to'xtatadi	α ni kamaytiradi	Nazorat mantig'i qo'shimcha

Clock gating faollik koeffitsiyentini kamaytiradi va ayniqsa katta clock tree tarmoqlarida samarali. Power gating esa uyqu rejimida virtual V_{DD} yoki virtual ground orqali blokni tarmoqdan ajratadi. Retention registrlari kerakli holatni saqlab, qayta ishga tushganda ma'lumotni yo'qotmaslikka imkon beradi.

4. TRANZISTOR VA SXEMA DARAJASIDAGI YECHIMLAR

Multi-threshold CMOSda kritik yo'llarga past thresholdli tez tranzistorlar, kritik bo'lmagan yo'llarga esa yuqori thresholdli, leakage'i kichik tranzistorlar joylashtiriladi. Transistor sizing, stack effect, body bias va logic restructuring ham energiya-kechikish ko'rsatkichiga ta'sir qiladi.

Analog va aralash signalli integral sxemalarda energiya samaradorligi boshqa mezonlar bilan ham baholanadi. Masalan, ADC uchun energiya bir konversiya yoki bir bitga nisbatan, kuchaytirgichlarda esa gain-bandwidth, shovqin va quvvat o'rtasidagi kompromiss muhim.

Shu sababli raqamli bloklardagi P_{dyn} formulasi barcha integral sxemalar uchun yagona sifat mezonini bo‘la olmaydi.

5. ARXITEKTURA VA FIZIK DIZAYN DARAJASI

Arxitektura darajasida parallelizm va pipelining ba’zan pastroq chastota hamda pastroq kuchlanishda kerakli unumdorlikni olishga imkon beradi. Xotiraga murojaatlarni kamaytirish, ma’lumotni lokal qayta ishlash va keraksiz bit kengligini qisqartirish energiya sarfiga katta ta’sir ko‘rsatadi, chunki zamonaviy tizimlarda ma’lumot ko‘chirish energiyasi hisoblashning o‘zidan yuqori bo‘lishi mumkin.

Fizik dizaynda interconnect sig‘imi, clock tree, IR-drop va issiqlik taqsimoti energiya sarfini belgilaydi. Post-Moore davrida 2.5D/3D va chiplet arxitekturalari ma’lumot yo‘lini qisqartirish imkonini bersa-da, vertikal termik qarshilik va quvvat yetkazib berish tarmog‘i yangi cheklovlarni yuzaga keltiradi.

6. PAST QUVVATLI INTEGRAL SXEMA UCHUN TAVSIYA ETILADIGAN LOYIHALASH ZANJIRI

Bosqich	Asosiy vazifa
Talablarni aniqlash	Unumdorlik, latency, duty cycle, batareya/termik limit
Arxitektura	Parallelizm, xotira ierarxiyasi, blok faolligi
RTL	Clock gating, operand isolation, power intent
Gate-level	Multi-Vt, sizing, timing–power optimization
Physical design	Clock tree, placement, interconnect, IR-drop
Sign-off	Power, thermal, timing, reliability verifikatsiyasi

Past quvvatli dizaynning muhim tamoyili — energiya optimallashtirishni loyiha oxirida emas, spetsifikatsiya bosqichidan boshlashdir. Keyin har bir bosqichda quvvat intenti saqlanishi va verifikatsiya qilinishi kerak.

7. ZAMONAVIY TRENDLAR

Open-source EDA va ochiq PDK ekotizimlari integral sxema loyihalashga kirish imkoniyatini kengaytirmoqda. 2024-yilgi sharh SKY130 kabi ochiq texnologiyalar yordamida RTL-to-GDS oqimini ta’lim va tadqiqotda amaliy qo‘llash mumkinligini ko‘rsatadi. Shu bilan birga, chiplet va heterogen integratsiya energiya samaradorligini faqat tranzistor skalasi orqali emas, tizim arxitekturasini orqali oshirish yo‘lini bermoqda.

Kelajakdagi energiya tejamkor IClarda adaptiv voltage scaling, on-chip sensorlar, workload-aware power management va termik boshqaruv algoritmlarining integratsiyasi kuchayishi kutiladi.

XULOSA

CMOS integral sxemalarning energiya sarfi dinamik, qisqa tutashuv va leakage komponentlaridan tashkil topadi. Dinamik sarf V_{DD}^2 ga bog'liq bo'lgani uchun kuchlanish boshqaruvi eng kuchli vositalardan biridir.

Clock gating, power gating, DVFS, multi-Vt va operand isolation turli quvvat tarkiblariga ta'sir qiladi; ularni bitta usul bilan almashtirish mumkin emas. Eng yaxshi natija ularni loyiha darajalariga mos kombinatsiyada qo'llash orqali olinadi.

Zamonaviy integral sxemalarda energiya samaradorligi tranzistor, sxema, arxitektura, interconnect, qadoqlash va sovitish masalalarini birgalikda ko'rishni talab qiladi.

FOYDALANILGAN ADABIYOTLAR:

1. Weste N.H.E., Harris D. CMOS VLSI Design: A Circuits and Systems Perspective. 4th ed. Addison-Wesley, 2011.
2. Rabaey J.M., Chandrakasan A., Nikolic B. Digital Integrated Circuits: A Design Perspective. 2nd ed. Prentice Hall, 2003.
3. Razavi B. Design of Analog CMOS Integrated Circuits. 2nd ed. McGraw-Hill, 2016.
4. Fath P., Moser M., Zachl G., Pretl H. Open-source design of integrated circuits. Elektrotechnik und Informationstechnik. 2024;141:76–87. DOI: 10.1007/s00502-023-01195-5.
5. Kim K. et al. UCIe Standard: Enhancing Die-to-Die Connectivity in Modern Packaging. IEEE Micro. 2025;45(1):26–34. DOI: 10.1109/MM.2025.3526048.
6. Horowitz M. Computing's energy problem (and what we can do about it). IEEE ISSCC Digest of Technical Papers, 2014.
7. Chandrakasan A.P., Sheng S., Brodersen R.W. Low-power CMOS digital design. IEEE Journal of Solid-State Circuits. 1992;27(4):473–484.
8. Jain A. et al. A Review of Die-to-Die, Die-to-Substrate and Die-to-Wafer Heterogeneous Integration. IEEE Electron Devices Reviews. 2024;2:6–31. DOI: 10.1109/EDR.2024.3501214.